**10. Триггеры, счётчики и регистры**

1. Асинхронный RS-триггер с инверсными входами:

Называется асинхронным т.к. нет синхровхода С.

RS – исходя из двух входов: S – set (установить значение), R – reset (сбросить).

Имеется два выхода Q и –Q. Здесь и далее: Q – выход, –Q – инвертированный выход.

На выходе Q ток будет, если на входе S в какой то момент времени тока не было (был логический 0), чтобы сбросить триггер нужно подать на вх. R логический 0.

Здесь и далее: Выход –Q работает противоположно выходу Q.

Разбор принципа работы:

//

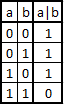
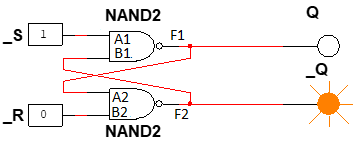
Большинство триггеров построены на элементах ИНЕ - штрих Шеффера “|”:

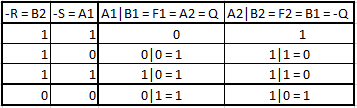
Таблица истинности:

//

При этом

-S = A1; B1 = F2 = -Q

-R = B2; A2 = F1 = Q

Пусть –R = -S = 1 и триггер сброшен, т.е. Q = 0; -Q = 1  
0 – 0 запрещено т.к. не будет соблюдаться правила разницы между выходами Q и –Q (и там и там будет 1)

(Полная таблица истинности представлена в отчете, пункт *хранение* означает что выходы триггера при данной комбинации не меняются)

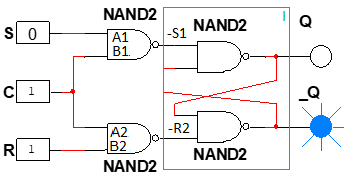
1. Синхронный RS-триггер

Название аналогично первому триггеру

Синхронный – потому что имеется синхровход С

На выходе Q ток будет, если на входе S в какой то момент времени ток был (была логическая 1), чтобы сбросить триггер нужно подать на вход R логическую 1. При этом выход устанавливается по вышесказанному правилу ТОЛЬКО когда на синхровходе С стоит логическая 1.

В остальном принцип работы аналогичен первому триггеру, меняется только то что входы не инверсные (где был 0 в первом триггере, здесь будет 1).



Синхровход С работает так, что если там стоит 0, то на выходе первых двух NAND элементов всегда будет 1, при синхровходе равном 1, выходы на первых двух NAND элементов (-S1 и -R2) будут устанавливаться в соответствии с их вторыми пинами входа, причем инверсионно (-S1 = -S и -R2 = -R), остальная часть схемы (блок I) – в точности первый триггер

1 – 1 – 1 – запрещено т.к. на выходах первых двух NAND элементов будут 0 (-S1 = -R2 = 0 при синхровходе С = 1), а во второй части схемы, т.е. в асинхронном RS триггере комбинация 0 – 0 запрещена

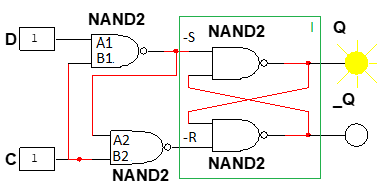
### D-триггер:

D – задержка (d - delay).

Хранит в себе информацию о входе D в какой-то момент времени (задерживает ее).

 На выходе Q ток будет устанавливаться таким же как на входе D. При этом выход устанавливается ТОЛЬКО когда на синхровходе С стоит логическая 1.

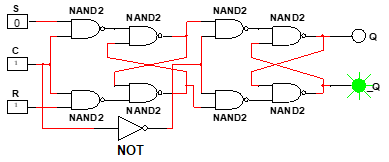
В остальном принцип работы аналогичен второму триггеру, меняется только то что вход R собирается из входа D, конкретно R = -D



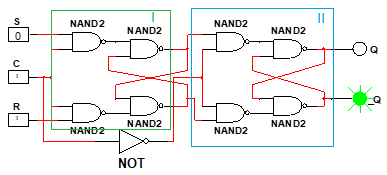
При С = 0, на выходах первых двух NAND элементов будут 1, т.к. блок I – в точности асинхронный RC триггер (триггер 1), то выход будет храниться  
при C = 1 выходы устанавливаются в соответствии с входом D, причем –S = -D, -R = D. Остальная часть схемы – блок I - асинхронный RC триггер.

1. Двухступенчатый MS-триггер:

Состоит из двух синхронных RS триггеров



Работа аналогична работе RS триггера, но синхровход С должен при этом пройти свой период



C – синхровход первого блока (блок I – первый синхр RS триггер)  
синхровход второго блока – конкретно –C (не С)  
Получается что при С = 1 устанавливается выход первого триггера, при смене С на 0, синхровход второго меняется на 1 и устанавливаются входы второго триггера исходя из выходов первого

Выходит что выход на всем триггере установится лишь после того как синхровход станет 1, а затем сменится с 1 на 0.

В остальном принцип работы такой же как в синхронном RS триггере

1- 1 – запрещено т.к. внутри схемы содержаться RS триггеры

1. JK-триггер:

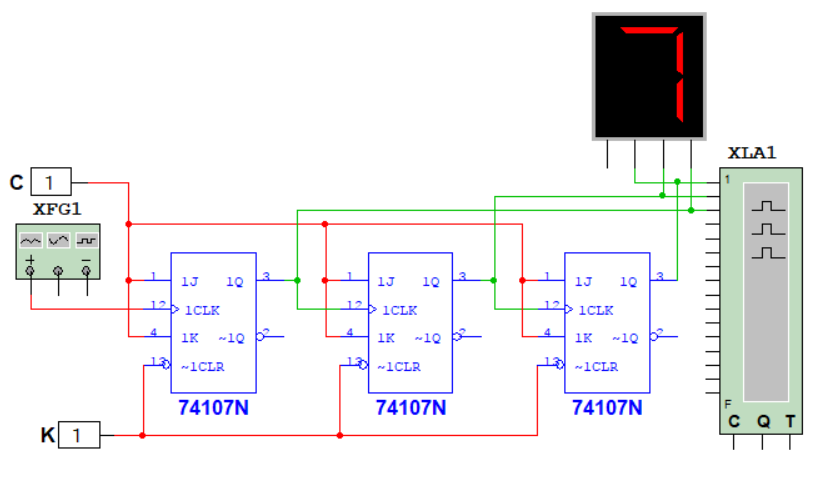
Имеется два входа J (jump), K (kill) (аналогичные S и R).



Работает в точности как MS триггер (включая период синхровхода), за исключением того, что комбинация входов 1-1 разрешена и при ней выходы Q и –Q просто будут сменяться местами  
достигается за счет того, что входы активируются лишь тогда, когда на определенном выходе что то есть, это получается благодаря двум элементам AND в начале, таким образом, вход J (S) учитывается лишь когда выход –Q активирован, так же как K (R) – когда активирован выход Q.

Переключатель здесь нужен для того чтобы установить исходные значения на триггере, т.к. при начальном положении оба выхода равны 0, а из-за этого не могут учитываться входы регистра, так, когда мы включаем переключатель, часть триггера работает как MS триггер и мы можем установить начальное положение триггера.

1. Суммирующий счётчик на JK-триггерах.

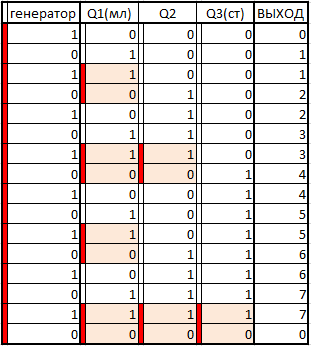


При одинаковых входах JK триггер при смене синхровхода с 1 на 0 меняет выходы местами, или же чередует выход Q нулем и единицей

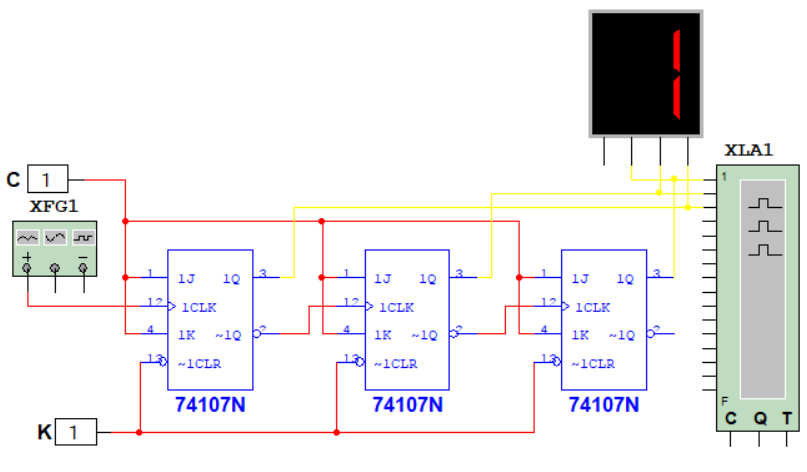
Генератор генерирует импульсы в своем периоде. Т е подает поочередно логический 0 и 1 (0 1 0 1 0 1)

Синхровход первого JK триггера – есть сам генератор, синхровходы всех последующих – выходы от предыдущих.

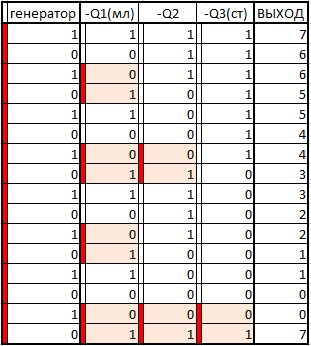
Можно составить таблицу, учитывая что начальные выходы равны 0  
тогда:

выходит что при подаче импульса в генераторе, общее состояние (выход) меняет свое десятичное значение на 1 вверх. (Если брать выход первого триггера за младшие разряды и т.д. до последнего, т.е. до старших разрядов)

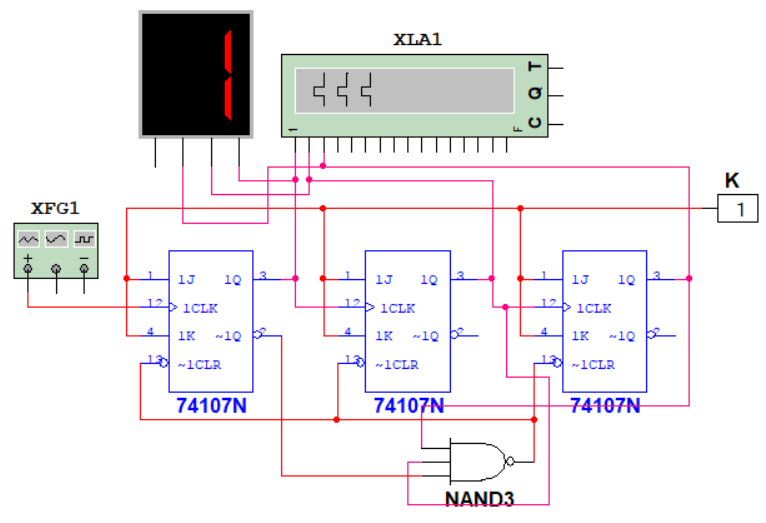
1. Вычитающий счётчик на JK-триггерах.



Принцип работы абсолютно аналогичен суммирующему счетчику, но в этом мы используем инверсные выходы –Q, таким образом таблица выходных кодов будет следующая:

  
Как видно, если мы берем инверсные выходы –Q, то счетчик считает от большего к меньшему (так как мы инвертируем каждый бит в числах выхода первого счетчика)

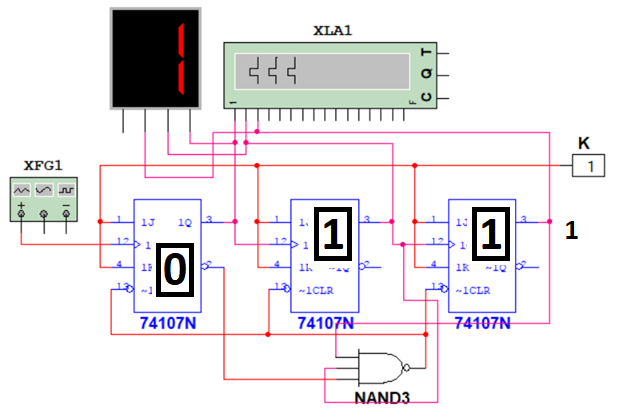
1. Суммирующий счётчик на JK-триггерах с дополнительным входом :



Принцип работы аналогичен суммирующему счетчику, однако здесь добавляется дополнительный вход –R (reset), который сбрасывает триггер при подаче на него 0.

Таким образом, объединив все входы –R в один, и поставив перед ним элемент 3И-НЕ можно собрать счетчик по модулю N <= 2^(кол-во триггеров).

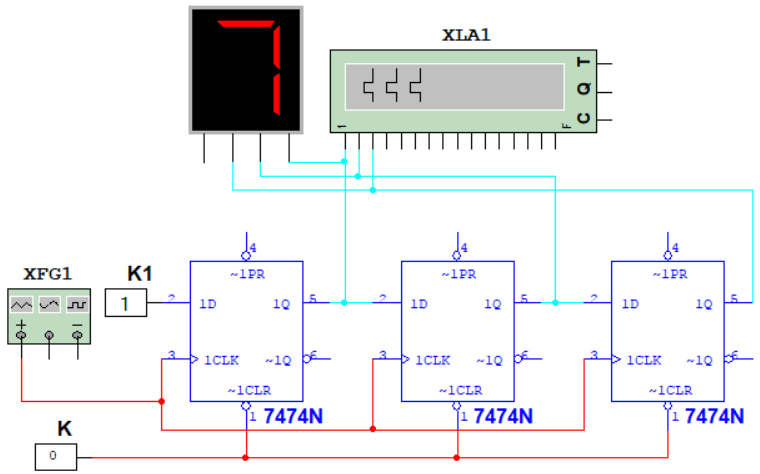
Те счетчик будет сбрасываться (будут сбрасываться каждый из триггеров) когда на выходах триггера будет определенный двоичный код N (считая разряды числа справа налево по отношению к триггерам).

Здесь 3И-НЕ подключен на код 011 – слева направо, учитывая что разряды идут в обратном порядке код N - числа модуля 110 т.е. N = 6

Это счетчик по модулю 6

Аналогично собираются счетчики по другим модулям, просто подключаем элемент ИНЕ на код того числа, по модулю которого нужно сделать счетчик

1. Последовательный регистр на D-триггерах:



При смене синхровхода с 0 на 1 последовательно запоминает значения на K1, здесь 3 триггера => регистр может запомнить максимум три последовательных значений входа K1

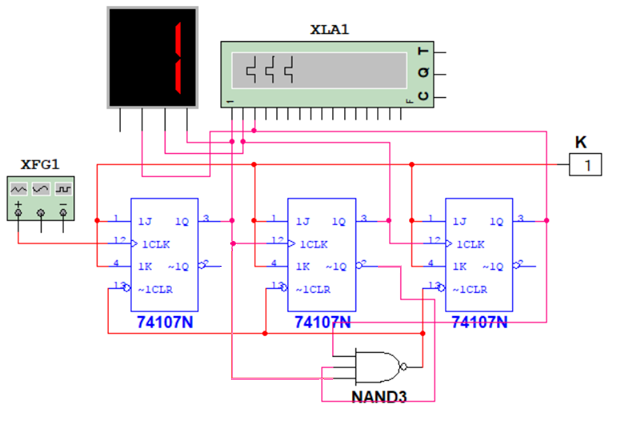
Это достигается за счет того, что вход каждого последующего – это выход предыдущего, а синхровходы у них всех одинаковые, таким образом, при смене синхровхода с 0 на 1, каждый из последующих начиная со второго (включая его) запоминают в себе значения выхода предыдущего триггера, при этом первый триггер берет значение со входа K1.

В итоге значения поочередно записываются по принципу очереди (доходя до последнего триггера, бит информации при следующем изменении синхровхода затирается, т.к. его уже некуда запоминать)

Запись в выход N-ого триггера происходит немного медленнее (из-за задержек в работе логических элементов), чем чтение информации со входа (N+1)-ым триггером и благодаря этому (N+1)-ый триггер успевает считать информацию со входа прежде чем она поменяется, и информация со входа K1 будет поочередно (побитово) записываться.

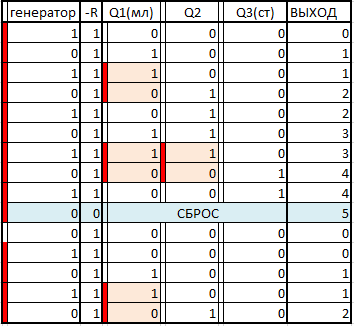
**Дополнительное задание:**

1. Собрать счетчик по модулю 5:

****

Принцип работы пояснен в п 8.

Таблица:

При постановке кода 5ки на трех триггерах все триггеры сбрасываются и счет начинается заново.

**ВСЁ!**